

09/940.491

(19)



JAPANESE PATENT OFFICE

JPA05-035594

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05035594 A**(43) Date of publication of application: **12.02.93**

(51) Int. Cl.

G06F 12/08
G06F 12/08
(21) Application number: **03186707**(71) Applicant: **NEC CORP**(22) Date of filing: **26.07.91**(72) Inventor: **ABE MICHIO**(54) **CACHE MEMORY DEVICE**

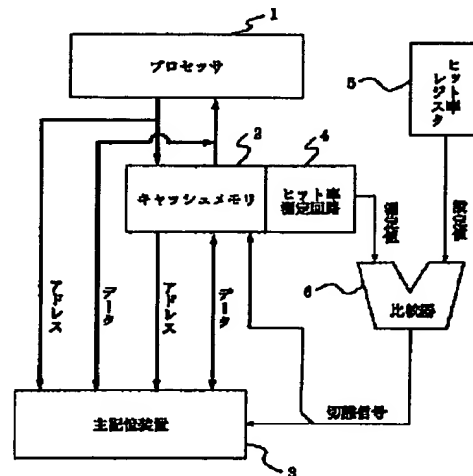
coupling operation.

(57) Abstract:

COPYRIGHT: (C)1993,JPO&Japio

PURPOSE: To prevent the processing ability of a processor from decreasing by measuring the hit rate of a cache memory at all times, and disconnecting the cache memory and inhibiting access processing unless a specific set value is reached.

CONSTITUTION: The processor 1 is connected to the cache memory 2 as well as a main storage device 3 and sends addresses to sent and receive data. At this time, a hit rate measuring mechanism 4 monitors the cache memory 2 and calculates the hit rate by using the frequency of all access from the processor 1 and the hit frequency as the frequency ratio of a counter. A comparator 6 compares the measured value of the hit rate of the hit rate measuring mechanism 4 with the set value in a hit rate register 5 where the previously set hit rate is registered and sends a disconnection signal to the cache memory 2 when the hit rate of the cache memory 2 is smaller than the set value, and main storage device 3 to prevent the cache memory 2 from being actuated by the processor 1 and main storage device 3, placing the processor and main storage device 3 in direct



JPA05-035594

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-35594

(43) 公開日 平成5年(1993)2月12日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G06F 12/08	310	Z 7232-5B		
		S 7232-5B		

審査請求 未請求 請求項の数1 (全4頁)

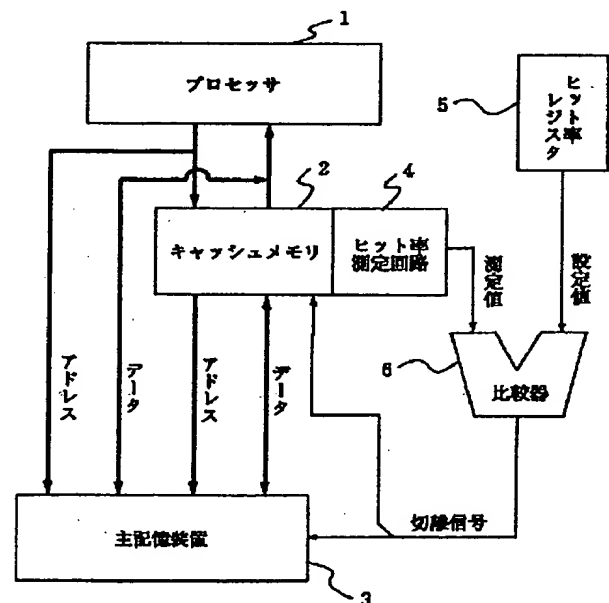
(21) 出願番号	特願平3-186707	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成3年(1991)7月26日	(72) 発明者	阿部 道夫 東京都港区芝五丁目7番1号日本電気株式会社内
		(74) 代理人	弁理士 内原 晋

(54) 【発明の名称】 キャッシュメモリ装置

(57) 【要約】

【構成】 プロセッサ1がキャッシュメモリ2を呼び出したとき使用するデータが保存されている確率（ヒット率）をヒット率測定機構4が測定し、この測定値があらかじめヒット率レジスタ5に登録設定した設定値より小さいとき、比較器6から切離信号がキャッシュメモリ2および主記憶装置3へ発信され、キャッシュメモリ2を切り離す。

【効果】 ヒット率が小さいために生じるキャッシュメモリのアクセス処理時間の増加を防止し、プロセッサの処理能力の低下を防ぐ。



【特許請求の範囲】

【請求項1】 主記憶装置から取り出してキャッシュメモリに一時記憶したデータをプロセッサが高速操作するキャッシュメモリ装置において、前記プロセッサが前記キャッシュメモリを呼び出したとき記憶するデータを使用した確率（以後ヒット率）を常に測定するヒット率測定機構と、あらかじめ設定したヒット率を登録するヒット率レジスタと、このレジスタに登録された設定値と前記ヒット率測定機構が測定した測定値とを取り出して比較し、この測定値が前記設定値より低いヒット率のとき切離信号を送出する比較器と、この切離信号を受信するとき前記プロセッサおよび前記主記憶装置から切り離すキャッシュメモリとを有することを特徴とするメモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は主記憶装置から取り出してキャッシュメモリに一時記憶したデータをプロセッサが高速処理するキャッシュメモリ装置に関する。

【0002】

【従来の技術】 従来の、キャッシュメモリ装置は主記憶装置とプロセッサ装置の間に置かれ主記憶装置よりも高速のメモリ（キャッシュメモリ）によって構成され、キャッシュメモリのアクセス処理は主記憶装置に比べて高速にできるような構成になっている。

【0003】 主記憶装置を呼び出す場合には、まずキャッシュメモリ装置のアクセス処理は主記憶装置のアクセス

タイム $T_{avg} = Phit \times Thit + (1 - Phit) \times Tmis \dots (1)$
 タイム T_{stg} よりミスヒット時のアクセスタイム T_{mis} が大きいため、ヒット率 $Phit$ が小さくなると下記の関係となる。

$$Phit < (Tmis - Tavg) / (Tmis - Thit) \dots (2)$$

【発明が解決しようとする課題】 上述の従来のキャッシュメモリ装置は、プロセッサがキャッシュメモリ装置を呼び出したときにデータがあった確立、すなわちヒット率（ $Phit$ ）が、前記（2）式のように、小さくなったとき、キャッシュメモリの使用により主記憶装置へのアクセス時間がキャッシュメモリがない場合に比べて大きくなるにもかかわらず、キャッシュメモリ装置がプロセッサシステムから取り外すこととできないという問題点があった。

【0009】 本発明の目的は、常時キャッシュメモリのヒット率を測定し、所定の設定値に達しないときキャッシュメモリを切り離し、アクセス処理させないことにより、上記問題点を解決するキャッシュメモリ装置を提供することにある。

【0010】

【課題を解決するための手段】 本発明によるキャッシュメモリ装置は、主記憶装置から取り出してキャッシュメモリに一時記憶したデータをプロセッサが高速操作する

キャッシュメモリ内に保持されているデータのアドレスを保持しているタグメモリと主記憶装置を呼び出すアドレスとを比較し、一致した場合には一致したタグメモリに対応したキャッシュメモリ内のデータを取り出し、一致しなかった場合は主記憶装置から呼び出すアドレスに対応したデータを取り出してプロセッサへ取り出したデータを渡すと共に現在キャッシュメモリ内にあるデータで必要のないものを選択して選択されたものの代わりに、タグメモリにアドレスを、データメモリにアドレスに対応して呼び出されたデータを格納する。

【0004】 上述した制御を行うことによってキャッシュメモリ内に記録されているデータをアクセス処理することができ、プログラムの性質である参照の局所性によって一度キャッシュメモリ内に置かれたデータは再度呼び出される可能性が高いため見かけ上高速に主記憶装置をアクセス処理することが可能となる。

【0005】 また、この従来のキャッシュメモリ装置では、キャッシュメモリを含めた平均メモリアクセスタイム T_{avg} が、キャッシュメモリ内にデータがあった時（ヒット時）のアクセスタイム $Thit$ 、キャッシュメモリデータがなかったとき（ミスヒット時）のアクセスタイム $Tmis$ 、データがキャッシュメモリ内にある確立ヒット率 $Phit$ に対して、次の（1）式となる。

【0006】

【0007】 $T_{stg} < T_{avg}$

また、このときのヒット率は、次の（2）式となる。

【0008】

キャッシュメモリ装置において、前記プロセッサが前記キャッシュメモリを呼び出したとき記憶するデータを使用した確率を常に測定するヒット率測定機構と、あらかじめ設定したヒット率を登録するヒット率レジスタと、このレジスタに登録された設定値と前記ヒット率測定機構が測定した測定値とを取り出して比較し、この測定値が前記設定値より低いヒット率のとき切離信号を送出する比較器と、この切離信号を受信するとき前記プロセッサおよび前記主記憶装置から切り離すキャッシュメモリとを有する。

【0011】

【実施例】 次に本発明について図面を参照して説明する。図1は本発明の一実施例を示すブロック図である。

【0012】 図示するように、プロセッサ1はキャッシュメモリ2と、主記憶装置3同様に接続し、アドレスを送ってデータを授受する。キャッシュメモリ2は主記憶装置3ともアドレスとデータとの授受がある。

【0013】 プロセッサ1が主記憶装置3のデータを呼

び出すとき、初期時にキャッシュメモリ 2 に呼び出すデータの有無を尋ねる。

【0014】キャッシュメモリ 2 にデータがあるとき、高速処理するキャッシュメモリ 2 は指定されたデータを即時プロセッサ 1 へ転送する。

【0015】キャッシュメモリ 2 にデータがないとき、ミスヒットとなり、キャッシュメモリ 2 を介して主記憶装置 3 を呼び出したプロセッサ 1 は、主記憶装置 3 から所望のデータを取り出すと共に、取り出したデータをキャッシュメモリ 2 内にアドレスに対応させて記憶保存する。

【0016】このとき、ヒット率測定機構 4 はキャッシュメモリ 2 を監視し、プロセッサ 1 から呼び出された全アクセス回数と、呼び出したときデータがキャッシュメモリ 2 内にあったヒット回数とを許数器の回数比としてヒット率を計算している。

【0017】ヒット率レジスタ 5 は、あらかじめ設定したヒット率が登録される。

【0018】比較器 6 はヒット率測定機構 4 およびヒット率レジスタ 5 の両者からそれぞれヒット率の測定値および設定値を取り出して比較し、ヒット率の測定値が所定の設定値よりより小さいとき、切離信号をキャッシュメモリ 2 および主記憶装置 3 へ送信して、キャッシュメモリ 2 がプロセッサ 1 および主記憶装置 3 から起動されるのを防ぐ。

【0019】従って、プロセッサ 1 はヒット率が設定値より高い場合にはキャッシュメモリ 2 を経由した主記憶装置 3 へのアクセス処理となり、ヒット率が悪い場合にはキャッシュメモリ 2 の動作が停止すると共に、主記憶

装置 3 もキャッシュメモリ 2 からの信号を受けず、プロセッサ 1 と主記憶装置 3 とが直結した動作となる。

【0020】システムが立ち上がる時、または切離信号が発生したときには、所定の時間が経過したとき、または所定のヒット率測定回数に達したときに、ヒット率の比較を開始することができる。

【0021】また、キャッシュメモリの切り離し指示はプログラム制御のうえ、実稼働状態のヒット率で測定するので、プログラムの変更等でヒット率が変動してもハードウェアの変更なしで構成の最適化がはかれる。

【0022】

【発明の効果】以上説明したように本発明は、キャッシュメモリをアクセス処理する時にキャッシュメモリのヒット率を測定し測定したヒット率が設定したヒット率よりも低くなった場合にキャッシュメモリを動作させず切り離すことにより、キャッシュメモリのミスヒット時のオーバーヘッドによってプロセッサの処理能力が低下することを防止できる効果がある。

【図面の簡単な説明】

【図 1】本発明のキャッシュメモリ装置の一実施例を示すブロック図である。

【符号の説明】

- 1 プロセッサ
- 2 キャッシュメモリ
- 3 主記憶装置
- 4 ヒット率測定機構
- 5 ヒット率レジスタ
- 6 比較器

【図 1】

